

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Deok-Hyung Lee, Byeong-Chan Lee, Si-Young Choi, Taek-Jung Kim,  
Yong-Hoon Son, In-Soo Jung  
For: INTEGRATED CIRCUIT FIELD EFFECT TRANSISTORS INCLUDING  
CHANNEL-CONTAINING FIN HAVING REGIONS OF HIGH AND LOW  
DOPING CONCENTRATIONS AND METHODS OF FABRICATING SAME

March 16, 2004

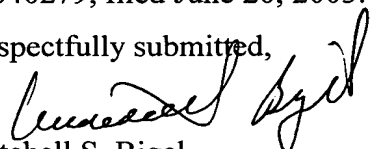
Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 2003-0040279, filed June 20, 2003.

Respectfully submitted,


  
Mitchell S. Bigel  
Registration No. 29,614

Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381443574 US  
Date of Deposit: March 16, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Susan E. Freedman  
Date of Signature: March 16, 2004



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.06.20
【발명의 명칭】	기판으로부터 수직으로 연장된 게이트 채널을 갖는 디램기억 셀 및 그 제조방법
【발명의 영문명칭】	DRAM MEMORY CELL HAVING A GATE CHANNEL EXTENDING VERTICALLY FROM A SUBSTRATE AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이덕형
【성명의 영문표기】	LEE, DEOK-HYUNG
【주민등록번호】	730505-1056317
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1112번지 신정마을 805동 503호
【국적】	KR
【발명자】	
【성명의 국문표기】	이병찬
【성명의 영문표기】	LEE, BYEONG CHAN
【주민등록번호】	680730-1024013
【우편번호】	449-840



1020030040279

출력 일자: 2004/1/5

【주소】	경기도 용인시 수지읍 상현리 만현마을 10단지 현대I-Park 1009동 12 02호
【국적】	KR
【발명자】	
【성명의 국문표기】	최시영
【성명의 영문표기】	CHOI, SI YOUNG
【주민등록번호】	640118-1055419
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 92번지 현대아파트 419동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	김택중
【성명의 영문표기】	KIM, TAEK-JUNG
【주민등록번호】	741118-1149512
【우편번호】	151-012
【주소】	서울특별시 관악구 신림2동 103번지 126호
【국적】	KR
【발명자】	
【성명의 국문표기】	손용훈
【성명의 영문표기】	SON, YONG-HOON
【주민등록번호】	730325-1849719
【우편번호】	682-030
【주소】	울산광역시 동구 서부동 319-5
【국적】	KR
【발명자】	
【성명의 국문표기】	정인수
【성명의 영문표기】	JUNG, IN-SOO
【주민등록번호】	731119-1403321
【우편번호】	442-190
【주소】	경기도 수원시 팔달구 우만동 47-1 202호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 527,000 원

## 【첨부서류】

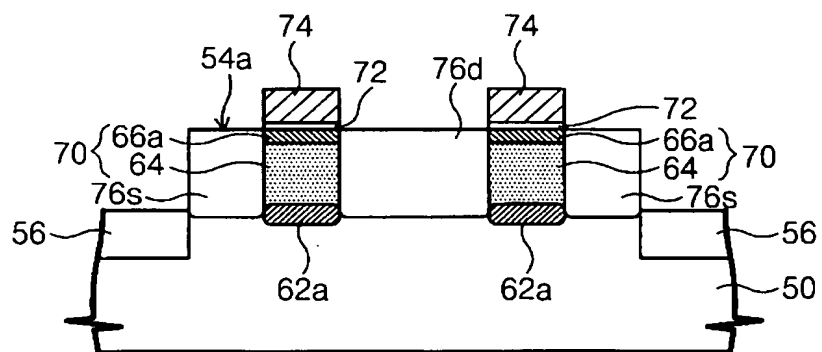
1. 요약서·명세서(도면)\_1통

2

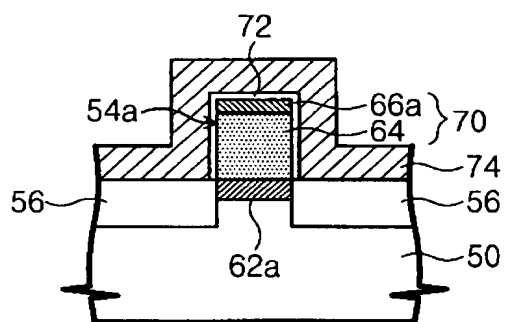
**【요약서】****【요약】**

기판으로부터 수직으로 연장된 게이트 채널을 갖는 디램기억 셀 및 그 제조방법을 제공한다. 이 기억 셀의 트랜지스터는 기판으로부터 수직으로 연장된 핀을 가지고, 이 핀 내에 형성된 채널영역이 형성된다. 채널영역과 중첩되어 핀의 상부를 게이트 전극이 가로지른다. 게이트 전극 및 핀 사이에 게이트 절연막이 개재된다. 게이트 전극 양측의 핀에 소오스 및 드레인 영역이 형성된다. 기판으로부터 수직으로 연장된 핀을 형성하고, 핀의 상부에 제1 불순물을 주입하고, 핀의 전면에 제2 농도의 불순물을 주입하여 채널을 형성한다. 핀의 상부 모서리를 포함하는 상기 핀의 상부에는 제1 및 제2 불순물이 중첩된 고 도핑층이 형성되고, 고 도핑층 하부의 핀에는 저 도핑층이 형성된다. 이 때, 제2 불순물은 경사이온주입법을 이용하여 주입함으로써 핀 내에 균일하게 형성할 수 있다.

**【대표도】**



【대표도】



**【명세서】****【발명의 명칭】**

기판으로부터 수직으로 연장된 게이트 채널을 갖는 디램기억 셀 및 그 제조방법{DRAM MEMORY CELL HAVING A GATE CHANNEL EXTENDING VERTICALLY FROM A SUBSTRATE AND METHOD OF FABRICATING THE SAME}

**【도면의 간단한 설명】**

도 1은 본 발명의 바람직한 실시예에 따른 디램 셀의 일부분을 나타낸 평면도이다.

도 2a는 도 1의 I-I를 따라 취해진 본 발명의 제1 실시예에 따른 디램 셀 트랜지스터를 나타낸 단면도이다.

도 2b는 도 1의 II-II를 따라 취해진 본 발명의 제1 실시예에 따른 디램 셀 트랜지스터를 나타낸 단면도이다.

도 3 내지 도 8은 본 발명의 제1 실시예에 따른 디램 셀 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.

도 9a는 도 1의 I-I를 따라 취해진 본 발명의 제2 실시예에 따른 디램 셀을 나타낸 단면도이다.

도 9b는 도 1의 II-II를 따라 취해진 본 발명의 제2 실시예에 따른 디램 셀을 나타낸 단면도이다.

도 10 내지 도 13은 본 발명의 제2 실시예에 따른 디램 셀 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.



## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 모스트랜지스터(MOSFET) 및 그 제조방법에 관한 것으로서, 더 구체적으로 기판으로부터 수직으로 연장된 게이트 채널을 갖는 디램 기억셀 및 그 제조방법에 관한 것이다.

<9> 소자의 성능은 일반적으로 소자의 크기를 줄임으로써 개선된다. 그러나, 채널의 길이가 100 nm 이하로 축소되면 전통적인 수평채널(planar channel)을 갖는 모스 트랜지스터는 몇가지 문제점을 유발한다. 특히, 모스 트랜지스터의 소오스 및 드레인 간의 상호작용에 의해 게이트의 제어 능력이 저하되는 현상이 발생하는데, 이 현상을 "단채널 효과(short-channel effect)"라고 한다. 에스오아이 모스트랜지스터(SOI MOSFET)은 실리콘기판 상에 직접 형성되는 "벌크(bulk)" 모스트랜지스터와 달리 활성영역 하부에 절연체(insulator)가 형성되어 있다. 에스오아이 모스트랜지스터는 소오스와 드레인 영역 사이의 비정상적인 접촉을 막을 수 있는 잇점이 있으나, 소오스와 드레인 영역 사이의 거리가 줄어들어 따라 채널에 대한 게이트의 제어 능력이 저하되어 단채널효과가 증가할 수 있다.

<10> 트랜지스터의 채널에 대한 게이트의 제어능력을 향상시키기 위해 도입된 것이 이중게이트 모스트랜지스터(double-gate MOSFET) 구조이다. 이중게이트 모스트랜지스터는 채널의 양측에 게이트가 형성되어 채널은 양측에서 게이트의 제어를 받기때문에 단채널효과를 억제할 수 있다. 또한, 양측의 게이트에 의해 트랜지스터가 턴-온되기 때문에 이중게이트 모스트랜지스터는 채널의 높이를 증가시킴으로써 좁은 면적에서 많은 전류를 얻을 수 있다.

<11> 미합중국특허번호 5,844,278호는 "돌출부를 갖는 반도체 소자"라는 명칭(U.S.P. No. 5,844,278 Titled "Semiconductor device having a projecting element region")으로 단채널효과가 억제된 이중게이트 모스트랜지스터를 기술하고 있다. 이 선행기술에 제시된 구조는 채널 하부의 게이트 전극보다 낮은 영역에 고농도 도핑층을 형성함으로써 소오스 및 드레인 영역의 편치쓰루를 방지한다. 그러나, 게이트 전극에 의해 제어되는 채널 영역은 약하게 도핑된 기판을 사용하기 때문에 문턱전압이 1V이하로 낮고, 채널영역의 불순물 농도가 불균일하여 높은 오프 상태에서 많은 누설 전류가 흐르고 스위칭 특성도 나빠질 수 있다. 또, 전계가 집중되는 상기 돌출부의 모서리가 상기 돌출부의 상부면 또는 상기 돌출부의 측벽보다 먼저 턴-온되기 때문에 전류-전압 그래프에서 험프(hump)현상이 발생할 수 있다.

<12> 한편, 리프레쉬(refresh)가 요구되는 디램 소자의 셀 트랜지스터는 낮은 오프 상태 누설 전류(off-state leakage current) 및 우수한 스위칭 특성이 필요하다. 따라서, 상술한 것과 같은 종래 구조의 이중게이트 트랜지스터는 많은 구동전류가 필요한 고성능 소자에는 적합하나 디램 소자의 셀 트랜지스터에 적용하기에 적합하지 않다.

**【발명이 이루고자 하는 기술적 과제】**

<13> 본 발명이 이루고자 하는 기술적 과제는 단채널효과가 억제되고 낮은 오프 상태 누설 전류를 갖는 디램 셀 트랜지스터 및 그 제조방법을 제공하는데 있다.

<14> 본 발명이 이루고자 하는 다른 기술적 과제는 단채널효과가 억제되고 스위칭 특성이 우수한 디램 셀 트랜지스터 및 그 제조방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

- <15>        상기 기술적 과제들을 달성하기 위하여 본 발명은 수직으로 연장된 게이트 채널을 갖는 디램 셀 트랜지스터를 제공한다. 이 트랜지스터는 기판으로 부터 수직으로 연장된 핀과, 상기 핀 내에 형성된 채널영역을 포함한다. 상기 채널영역과 중첩되어 상기 핀의 상부를 게이트 전극이 가로지른다. 상기 게이트 전극 및 상기 핀 사이에 게이트 절연막이 개재된다. 상기 게이트 전극 양측의 핀에 소오스 및 드레인 영역이 형성된다.
- <16>        구체적으로 상기 채널영역은 상부 모서리를 포함하는 상기 핀의 상부에 형성된 고 도핑층과 상기 핀의 고 도핑층 하부에 형성된 저 도핑층을 포함한다. 따라서, 상기 핀 상부 모서리의 채널영역은 상기 핀의 측벽보다 높은 농도로 도핑되어 있다. 상기 저 도핑층은 상기 채널영역에서 균일한 농도로 도핑되는 것이 바람직하다.
- <17>        상기 셀 트랜지스터는 지지기판 상에 적층된 절연층 및 반도체층으로 구성된 에스오아이 기판 상에 형성되거나 반도체층으로 구성된 벌크 기판 상에 형성될 수 있다. 즉, 상기 핀은 에스오아이 기판의 절연층 상에 형성되거나, 벌크 기판의 반도체층이 수직으로 연장되어 형성될 수 있다. 상기 트랜지스터가 벌크 기판에 형성될 경우, 상기 게이트 전극과 상기 핀 주변의 반도체층은 전기적으로 절연될 수 있다.
- <18>        본 발명에 따른 트랜지스터는 상기 채널 영역 하부에 상기 저 도핑층보다 높은 농도로 도핑된 펀치 스루 방지층(punchthrough stop layer)을 더 포함할 수 있다. 이 때, 상기 펀치 스루 방지층은 게이트 전극보다 낮은 부분에 형성되어 게이트 전극에 의해 제어되지 않는 채널 영역 하부에서 펀치스루가 일어나는 것을 방지한다.

<19>      상기 기술적 과제들을 달성하기 위하여 본 발명은 수직으로 연장된 게이트 채널을 갖는 디램 셀 트랜지스터의 제조방법을 제공한다. 이 방법은 기판으로부터 수직으로 연장된 핀을 형성하고, 상기 핀의 상부에 제1 불순물을 주입하고, 상기 핀의 전면에 제2 농도의 불순물을 주입하는 것을 포함한다. 그 결과, 상기 핀의 상부 모서리를 포함하는 상기 핀의 상부에는 제1 및 제2 불순물이 중첩된 고 도핑층이 형성되고, 상기 고 도핑층 하부의 핀에는 저 도핑층이 형성된다. 이 때, 상기 제2 불순물은 경사이온주입법을 이용하여 주입함으로써 핀 내에 균일하게 형성할 수 있다. 상기 핀 상에 게이트 절연막을 형성한다. 상기 게이트 절연막 상에 상기 핀의 상부를 가로지르는 게이트 전극을 형성한다. 상기 게이트 전극 양측의 상기 핀 내에 소오스 및 드레인 영역을 형성한다.

<20>      에스오아이 기판 상에 트랜지스터를 형성할 경우, 상기 핀은 절연층 상부의 반도체층을 패터닝하여 형성할 수 있고, 벌크 기판 상에 트랜지스터를 형성할 경우, 반도체층으로 이루어진 벌크 기판의 일부분을 패터닝하여 수직으로 연장된 부분을 형성하고, 상기 기판의 전면에 절연막을 형성하고, 상기 절연막을 리세스시킴으로써, 상기 절연막 상으로 돌출된 핀을 형성할 수 있다.

<21>      이에 더하여, 상기 게이트 전극에 의해 제어되지 않는 채널영역 하부에서 펀치쓰루가 일어나는 것을 방지하기 위하여 상기 게이트 전극보다 낮은 영역의 핀 내에 제3 불순물을 주입할 수도 있다.

<22>      이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면

들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<23> 도 1은 본 발명의 바람직한 실시예에 따른 디램 셀의 일부분을 나타낸 평면도이다.

<24> 본 발명은 수직으로 연장된 채널영역을 갖는 이중게이트 트랜지스터를 디램 셀에 적용한 것이다. 도시된 것과 같이, 본 발명에 따른 디램 셀은 기판으로부터 수직으로 연장된 핀(54a, 84)과, 상기 핀(54a, 84)의 상부를 가로지르는 한쌍의 게이트 전극(74, 104)을 포함한다. 상기 핀(54a, 84)은 한쌍의 게이트 전극(74, 104)에 의해 분리된 세 영역을 가진다. 상기 게이트 전극들(74, 104) 사이의 영역에 공통 드레인 영역(76d, 106d)이 형성되고, 상기 공통 드레인 영역(76d, 106d)의 양측에 각각 소오스 영역(76s, 106s)이 형성된다. 상기 게이트 전극(74, 104) 하부의 핀 내에 채널영역(70, 100)이 형성된다. 도시하지는 않았지만, 상기 공통 드레인(76d, 106d)에 비트라인이 접속되고, 상기 소오스 영역들(76s, 106s)의 각각에 커패시터가 접속된다.

<25> 본 발명에 따른 디램 셀은 반도체층으로 이루어진 벌크 기판에 형성할 수 있다.

<26> 도 2a는 도 1의 I-I를 따라 취해진 본 발명의 제1 실시예에 따른 디램 셀 트랜지스터를 나타낸 단면도이다.

<27> 도 2b는 도 1의 II-II를 따라 취해진 본 발명의 제1 실시예에 따른 디램 셀 트랜지스터를 나타낸 단면도이다.

<28> 도 2a 및 도 2b를 참조하면, 기판(50) 상에 활성영역을 한정하는 소자분리막(56)이 형성된다. 상기 활성영역에 상기 기판(50)으로부터 수직으로 연장된 핀(54)이 위치한다. 상기 핀(54)의 상부를 한쌍의 게이트 전극(74)이 가로지른다. 상기 게이트 전극(74)과 상기 핀(54) 사이에는 게이트 절연막(72)이 개재된다. 상기 핀(54)의 게이트 전극(74)으로 싸여진 부분에 채널 영역(70)이 형성된다. 즉, 본 발명에 따른 디램 셀 트랜지스터는 기판으로 부터 수직으로 연장된 채널 영역을 갖는다. 상기 채널 영역(70)은 상기 게이트 전극(74)의 제어를 받는 부분으로써 트랜지스터가 턴-온되었을 때 완전공핍되는 영역이다. 본 발명에 따른 트랜지스터는 핀(54)의 양측벽 및 핀(54)의 상부면을 각각 게이트 채널로 사용하는 세개의 서브 트랜지스터들(sub-transistors)로 구성된다고 볼 수 있다. 따라서, 오프 상태의 누설전류를 억제하고 스위칭 특성을 향상시키기 위하여 상기 채널 영역(70)은 균일한 불순물 농도를 가지는 것이 바람직하다. 그러나, 상기 핀(54)의 상부 모서리 부분은 전계가 집중되어 상기 서브 트랜지스터들이 턴-온되기전에 상기 핀(54)의 상부 모서리 부분에 형성되는 기생트랜지스터가 턴-온되는 험프 현상이 발생할 수 있다. 이를 방지하기 위하여, 상기 채널 영역(70)은 전반적으로 균일한 불순물 농도를 가지되, 상기 핀(54)의 상부 모서리 부분에는 높은 농도의 불순물을 주입하여 기생트랜지스터의 문턱전압을 높이 것이 요구된다. 따라서, 상기 채널 영역(70)은 고 도핑층(66a)과 저 도핑층(64)을 포함한다. 상기 고 도핑층(66a)은 상기 핀(54)의 상부 모서리를 포함하는 상기 핀(54)의 상부에 형성되고, 상기 저 도핑층(64)은 상기 고 도핑층(66a) 하부의 핀에 형성된다.

<29> 상기 채널 영역(70) 양측의 상기 핀(54) 내에 불순물이 주입되어 소오스 및 드레인 영역이 형성된다. 상기 게이트 전극(74) 사이의 영역에 공통 드레인 영역(76d)이 형성되고, 상기 공통 드레인 영역(76d) 양측에 각각 소오스 영역(76s)이 형성된다. 도시된 것과 같이, 상기 게

이트 전극(74)은 상기 소자분리막(56)의 상부로 돌출된 핀(54) 상에 형성된다. 따라서, 상기 소자분리막(56)과 접하는 영역, 즉 상기 게이트 전극(74) 보다 낮은 영역에는 상기 게이트 전극의 제어가 미치지 못하여 펀치쓰루가 발생할 수도 있다. 본 발명의 트랜지스터는 펀치쓰루를 방지하기 위하여 상기 게이트 전극(74)보다 낮은 영역의 핀 내에 상기 저 도핑층(64)보다 높은 농도로 도핑된 펀치쓰루방지층(punchthrough stop layer; 62a)을 더 포함할 수 있다.

<30> 도 3 내지 도 8은 본 발명의 제1 실시예에 따른 디램 셀 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.

<31> 도 3을 참조하면, 반도체 기판(50)을 패터닝하여 소자 분리 영역(52) 및 상기 반도체 기판(50)으로 부터 수직으로 연장된 핀(54)을 형성한다. 상기 반도체 기판(50)에 열산화 공정을 적용하여 산화막을 형성하고, 상기 산화막을 제거하여 상기 핀(54)의 폭을 더 줄일 수도 있다.

<32> 도 4를 참조하면, 상기 핀(54)이 형성된 반도체 기판(50)의 전면에 절연막을 형성하고, 상기 절연막을 리세스시켜 상기 소자 분리 영역(52)에 소자분리막(56)을 형성한다. 상기 소자분리막(56)의 상부로 상기 핀의 일부분(54a)이 노출된다. 상기 노출된 핀(54a) 상에 버퍼 산화막(60)을 더 형성할 수 있다.

<33> 도 5를 참조하면, 상기 핀(54a)을 갖는 기판에 불순물을 주입하여 상기 노출된 핀(54a) 아래에 제1 불순물 영역(62)을 형성한다. 예컨대, 상기 제1 불순물 영역(62)은 붕소(B) 또는 불화붕소(BF<sub>2</sub>)를  $10^{11}$  atoms/cm<sup>2</sup> 내지  $10^{14}$  atoms/cm<sup>2</sup>의 도즈량으로 주입하여  $10^{15}$  atoms/cm<sup>2</sup> 내지  $10^{19}$  atoms/cm<sup>2</sup> 농도로 형성하는 것이 바람직하다. 이 때, 주입 각도는 0° 내지 10°로 주입할 수 있다.

- <34> 도 6을 참조하면, 상기 노출된 핀(54a)의 전면에 불순물을 주입하여 제2 불순물 영역(64)을 형성한다. 이 때, 경사이온주입법을 적용하여 불순물을 주입함으로써 상기 제2 불순물 영역(64)은 노출된 핀의 전면에 균일하게 형성될 수 있다. 상기 제2 불순물 영역(64)은 붕소(B) 또는 불화붕소( $\text{BF}_2$ )를  $10^{11}$  atoms/cm<sup>2</sup> 내지  $10^{14}$  atoms/cm<sup>2</sup>의 도즈량으로 주입하여  $10^{15}$  atoms/cm<sup>2</sup> 내지  $10^{19}$  atoms/cm<sup>2</sup> 농도로 형성할 수 있고, 주입 각도는  $10^\circ$  내지  $45^\circ$ 로 주입할 수 있다.
- <35> 상기 제2 불순물 영역(64)은 상기 노출된 핀(54a)의 하부까지 확장되어 상기 제1 불순물 영역(62)과 중첩될 수 있다.
- <36> 도 7을 참조하면, 상기 노출된 핀(54a)의 상부에 불순물을 주입하여 제3 불순물 영역을 형성한다. 상기 제3 불순물 영역(66)은 붕소(B) 또는 불화붕소( $\text{BF}_2$ )를  $10^{11}$  atoms/cm<sup>2</sup> 내지  $10^{14}$  atoms/cm<sup>2</sup>의 도즈량으로 주입하여  $10^{15}$  atoms/cm<sup>2</sup> 내지  $10^{19}$  atoms/cm<sup>2</sup> 농도로 형성할 수 있다. 이 때, 주입 각도는  $0^\circ$  내지  $10^\circ$ 로 주입할 수 있다.
- <37> 상기 제1 불순물 영역(62), 상기 제2 불순물 영역(64) 및 상기 제3 불순물 영역(66)은 서로 중첩된 영역을 가진다. 상기 제1 불순물 영역(62), 상기 제2 불순물 영역(64) 및 상기 제3 불순물 영역(66)의 형성 순서는 서로 치환될 수도 있다.
- <38> 결과적으로 도 8을 참조하면, 상기 제1 불순물 영역(62)은 상기 제2 불순물 영역(64)과 중첩되어 상기 제2 불순물 영역(64)보다 높은 도핑 농도를 갖는 편치쓰루 방지층(62a)을 형성한다. 상기 제3 불순물 영역(66)은 상기 제2 불순물 영역(64)과 중첩되어 상기 핀(54)의 상부에 고 도핑층(66a)을 형성한다. 상기 제2 불순물 영역(64)은 상기 고 도핑층(66a) 하부의 상기 핀(54a)에 균일한 저 도핑층을 형성한다. 트랜지스터의 채널 영역(70)은 상기 고 도핑층(66a) 및 상기 저 도핑층(64)을 포함한다.



- <39> 이에 더하여 도시하지는 않았지만, 상기 버퍼 산화막(60)을 제거하고, 상기 핀(54a)의 전면에 게이트 절연막(72)을 형성하고, 상기 게이트 절연막(72) 상에 상기 핀(54a)의 상부를 가로지르는 게이트 전극(74)을 형성한다. 계속해서, 상기 게이트 전극(74)을 이온주입 마스크로 사용하여 상기 게이트 전극(74) 양측의 상기 핀(54a) 내에 소오스 및 드레인 영역(76s, 76d)을 형성한다.
- <40> 도 9a는 도 1의 I-I를 따라 취해진 본 발명의 제2 실시예에 따른 디램 셀을 나타낸 단면도이다.
- <41> 도 9b는 도 1의 II-II를 따라 취해진 본 발명의 제2 실시예에 따른 디램 셀을 나타낸 단면도이다.
- <42> 도 9a 및 도 9b를 참조하면, 지지기판(80) 및 매몰 절연막(82)이 적층된 기판 상에 수직으로 연장된 핀(84)이 위치한다. 상기 핀(84)의 상부를 한쌍의 게이트 전극(104)이 가로지른다. 상기 게이트 전극(104)과 상기 핀(84) 사이에는 게이트 절연막(102)이 개재된다. 상기 핀(84)의 게이트 전극(104)으로 싸여진 부분에 채널 영역(100)이 형성된다. 상기 채널 영역(100)은 상기 게이트 전극(104)의 제어를 받는 부분으로써 트랜지스터가 턴-온되었을 때 완전공핍되는 영역이다. 상기 채널 영역(100)은 고 도핑층(88a)과 저 도핑층(90)을 포함한다. 상기 고 도핑층(88a)은 상기 핀(84)의 상부 모서리를 포함하는 상기 핀(84)의 상부(upper portion)에 형성되고, 상기 저 도핑층(90)은 상기 고 도핑층(88a) 하부의 핀에 형성된다.
- <43> 상기 채널 영역(100) 양측의 상기 핀(84) 내에 불순물이 주입되어 소오스 및 드레인 영역(106s, 106d)이 형성된다. 상기 게이트 전극(104) 사이의 영역에 공통 드레인 영역(106d)이 형성되고, 상기 공통 드레인 영역(106d) 양측에 각각 소오스 영역(106s)이 형성된다.

- <44> 도 10 내지 도 13은 본 발명의 제2 실시예에 따른 디램 셀 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.
- <45> 도 10을 참조하면, 지지기판(80), 매몰 절연막(82) 및 반도체층이 적층된 기판의 상기 반도체층을 패터닝하여 수직으로 연장된 핀(84)을 형성한다. 상기 핀(84) 또한 사진공정으로 정의할 수 없는 폭을 갖도록 열산화공정 및 산화막 제거 공정을 실시하여 그 폭을 줄일 수 있다. 상기 핀(84) 상에 버퍼 산화막(86)을 더 형성할 수도 있다.
- <46> 도 11을 참조하면, 상기 핀(84)의 상부에 불순물을 주입하여 제1 불순물 영역을 형성한다. 상기 제1 불순물 영역(88)은 붕소(B) 또는 불화붕소(BF<sub>2</sub>)를  $10^{11}$  atoms/cm<sup>2</sup> 내지  $10^{14}$  atoms/cm<sup>2</sup>의 도즈량으로 주입하여  $10^{15}$  atoms/cm<sup>2</sup> 내지  $10^{19}$  atoms/cm<sup>2</sup> 농도로 형성할 수 있다. 이 때, 주입 각도는 0° 내지 10°로 주입할 수 있다.
- <47> 도 12를 참조하면, 상기 핀(84)의 전면에 불순물을 주입하여 제2 불순물 영역(90)을 형성한다. 상기 제2 불순물 영역(90)은 경사이온주입법(oblique ion implantation)을 적용하여 상기 핀(84)의 전면에 균일한 농도로 불순물이 주입될 수 있도록한다.
- <48> 상기 제2 불순물 영역(90)은 붕소(B) 또는 불화붕소(BF<sub>2</sub>)를  $10^{11}$  atoms/cm<sup>2</sup> 내지  $10^{14}$  atoms/cm<sup>2</sup>의 도즈량으로 주입하여  $10^{15}$  atoms/cm<sup>2</sup> 내지  $10^{19}$  atoms/cm<sup>2</sup> 농도로 형성할 수 있다. 이 때, 주입 각도는 10° 내지 45°로 주입할 수 있다.
- <49> 상기 제1 및 제2 불순물 영역(88, 90)은 그 형성순서를 바꿀 수도 있다. 제1 실시예와 달리 제2 실시예에 따르면 상기 핀(84)은 상기 매몰 절연막(82) 상에 형성되기 때문에 펀치스루방지를 위한 불순물층은 형성하지 않아도된다.

- <50> 결과적으로 도 13을 참조하면, 상기 제1 불순물 영역(88)은 상기 제2 불순물 영역(90)과 중첩되어 고 도핑층(88a)을 형성하고, 상기 제2 불순물 영역(90)은 균일한 도핑농도를 갖는 저 도핑층을 형성한다. 트랜지스터의 채널영역(100)은 상기 고 도핑층(88a) 및 상기 저 도핑층(90)을 포함한다.
- <51> 이어서 도시하지는 않았지만, 상기 버퍼산화막(86)을 제거하고, 상기 핀(84) 상에 게이트 절연막(102)을 형성하고, 상기 게이트 절연막(102) 상에 상기 핀(84)의 상부를 가로지르는 게이트 전극(104)을 형성한다. 상기 게이트 전극(104)을 이온주입 마스크로 사용하여 상기 게이트 전극(104) 양측의 기판 내에 소오스 및 드레인 영역(106s, 106d)을 형성한다.
- <52> 본 발명에 따른 트랜지스터는 채널 영역을 도핑함으로써 문턱전압을 1 V 이상으로 조절할 수 있어 오프 상태 전류가 낮다. 또한, 핀의 상부 모서리를 포함하는 핀의 상부의 도핑 농도가 높기 때문에 주 채널이 턴-온되기 전에 채널이 형성되는 것이 방지된다.

### 【발명의 효과】

- <53> 상술한 바와 같이 본 발명에 따르면, 수직으로 연장된 핀 내에 형성된 채널영역을 갖는 트랜지스터를 형성함에 있어서, 경사이온주입법을 이용하여 불순물을 주입하여 채널 영역의 도핑 농도를 균일하게 형성하고, 전계가 집중되는 핀의 상부 모서리의 도핑 농도를 높게 형성함으로써 주 채널이 턴-온되기 전에 기생트랜지스터가 턴온되는 것을 막을 수 있다.
- <54> 그 결과, 트랜지스터의 문턱전압은 1 V 이상으로 조절할 수 있어 오프 상태 전류를 감소시킬 수 있고, 서브 쓰레숄드 스윙 값을 감소시켜 스위칭 특성을 향상시킬 수 있다. 따라서, 디램 소자의 셀 트랜지스터에 적용할 경우 우수한 성능의 디램 소자를 제조할 수 있다.

**【특허청구범위】****【청구항 1】**

기판으로 부터 수직으로 연장된 핀;

상기 핀 내에 형성된 채널영역;

상기 채널영역과 중첩되어 상기 핀의 상부를 가로지르는 게이트 전극;

상기 게이트 전극 및 상기 핀 사이에 개재된 게이트 절연막; 및

상기 게이트 전극 양측의 핀에 형성된 소오스 및 드레인 영역을 포함하되,

상기 핀의 상부 모서리의 채널영역은 상기 핀의 측벽보다 높은 농도로 도핑된 것을 것을 특징으로 하는 디램 셀 트랜지스터.

**【청구항 2】**

제 1 항에 있어서,

상기 채널영역은,

상부 모서리를 포함하는 상기 핀의 상부에 형성된 고 도핑층; 및

상기 핀의 고 도핑층 하부에 형성된 저 도핑층을 포함하는 것을 특징으로 하는 디램 셀 트랜지스터.

**【청구항 3】**

제 1 항에 있어서,

상기 기판은 반도체층과, 상기 반도체층 상에 형성된 절연층을 포함하되,

상기 핀은 절연층 상에 형성된 것을 특징으로 하는 디램 셀 트랜지스터.

**【청구항 4】**

제 1 항에 있어서,

상기 기판은 반도체층으로 이루어진 벌크 기판이되,

상기 핀은 상기 반도체층이 수직으로 연장되어 형성된 것을 특징으로 하는 디램 셀 트랜지스터.

**【청구항 5】**

제 4 항에 있어서,

상기 게이트 전극과 상기 핀 주변의 반도체층 사이에 개재된 절연층을 더 포함하는 것을 특징으로 하는 셀 트랜지스터.

**【청구항 6】**

제 1 항에 있어서,

상기 채널 영역 하부에 상기 저 도핑층보다 높은 농도로 형성되되, 상기 게이트 전극보다 낮은 영역에 형성된 펀치스루 방지 도핑층(punchthrough stop doped layer)을 더 포함하는 디램 셀 트랜지스터.

**【청구항 7】**

제 1 항에 있어서,

상기 저 도핑층은 상기 채널 영역 내에 균일한 농도로 형성된 것을 특징으로 하는 디램 셀 트랜지스터.

**【청구항 8】**

기판으로부터 수직으로 연장된 핀을 형성하는 단계;

상기 핀의 상부에 불순물을 주입하는 단계;

상기 기판 상에 노출된 핀의 전면에 불순물을 주입하는 단계;

상기 핀 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 핀의 상부를 가로지르는 게이트 전극을 형성하는 단계; 및

상기 게이트 전극 양측의 상기 핀 내에 소오스 및 드레인 영역을 형성하는 단계를 포함하되, 상기 핀의 상부모서리를 포함하는 상기 핀의 상부에는 제1 및 제2 불순물이 증착된 고도핑층을 형성하고, 상기 고도핑층 하부의 상기 핀 내에는 제2 불순물로 구성된 저도핑층을 형성하는 단계를 포함하는 디램 셀 트랜지스터 제조방법.

#### 【청구항 9】

제 8 항에 있어서,

상기 게이트 전극보다 낮은 영역의 핀 내에 불순물을 주입하는 단계를 더 포함하는 디램 셀 트랜지스터의 제조방법.

#### 【청구항 10】

제 8 항에 있어서,

상기 제2 불순물은 경사이온주입법을 이용하여 주입하는 것을 특징으로 하는 디램 셀 트랜지스터의 제조방법.

#### 【청구항 11】

제 8 항에 있어서,

상기 편은,

지지기판 상에 적층된 절연층 및 반도체층으로 구성된 기판의 상기 반도체층을 패터닝하여 형성하는 것을 특징으로 하는 디램 셀 트랜지스터의 제조방법.

【청구항 12】

제 8 항에 있어서,

상기 편을 형성하는 단계는,

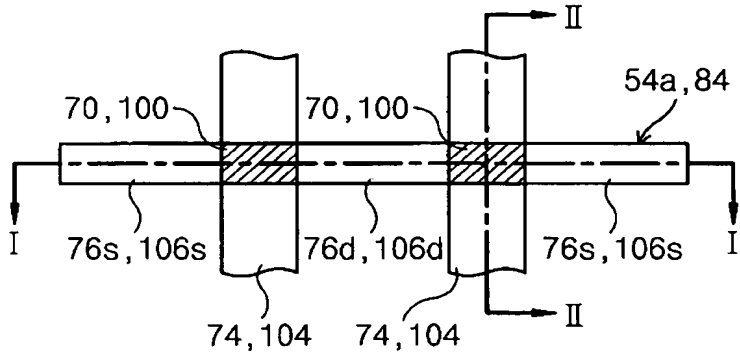
반도체층으로 이루어진 벌크 기판의 일부분을 패터닝하여 수직으로 연장된 부분을 형성하는 단계;

상기 기판의 전면에 절연막을 형성하는 단계; 및

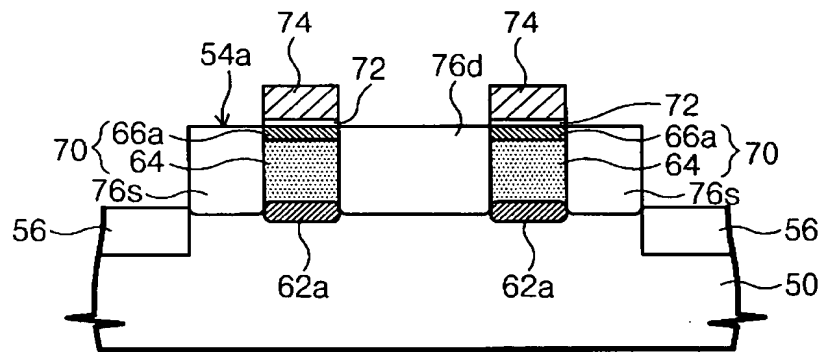
상기 절연막을 리세스시켜 상기 연장된 부분이 상기 절연막 상으로 돌출된 편을 형성하는 단계를 포함하는 디램 셀 트랜지스터 제조방법.

## 【도면】

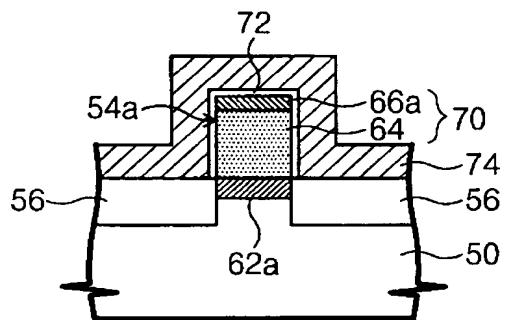
【도 1】



【도 2a】

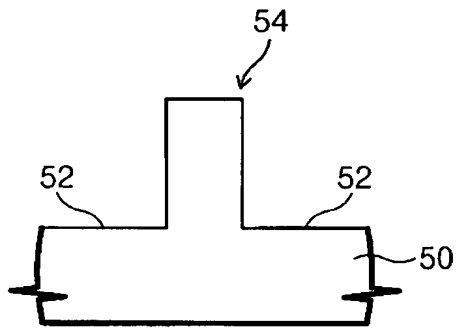


【도 2b】

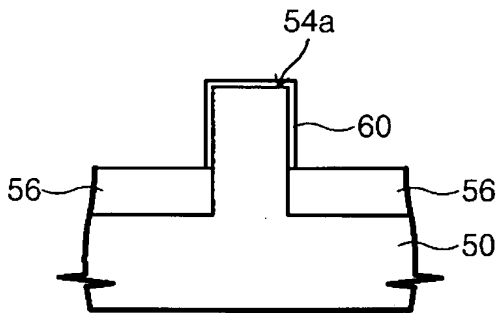




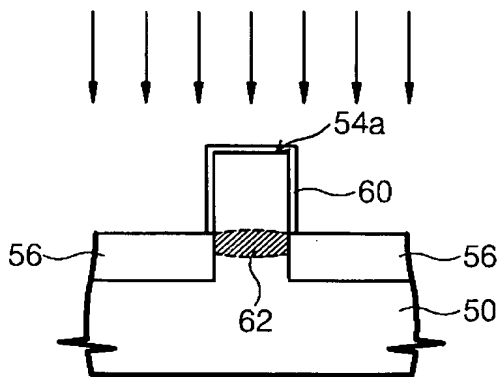
【도 3】



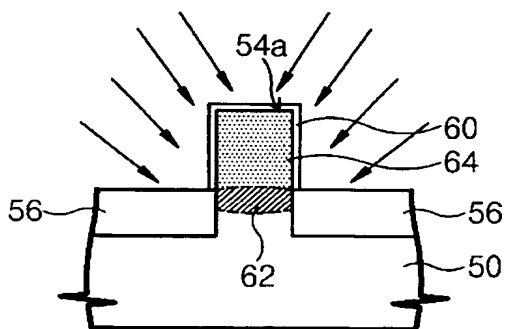
【도 4】



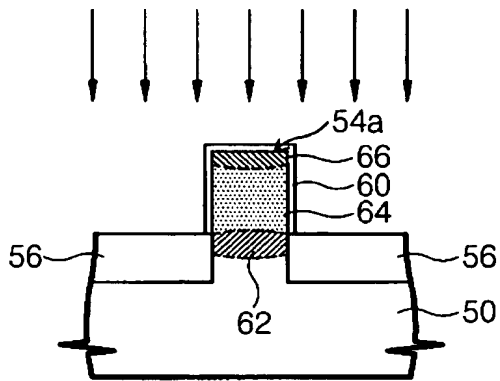
【도 5】



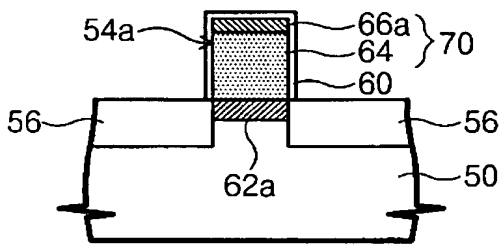
【도 6】



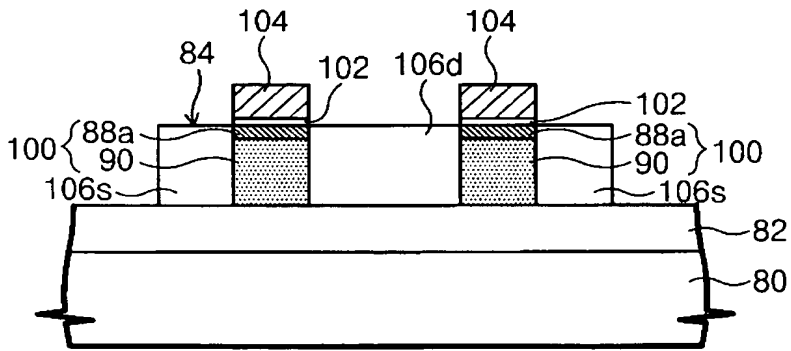
【도 7】



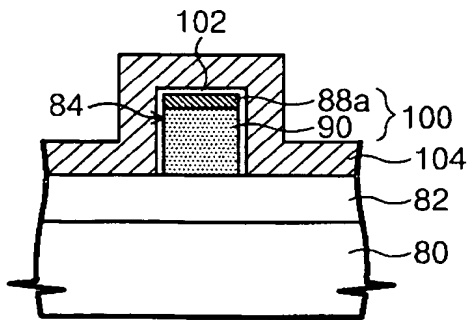
【도 8】



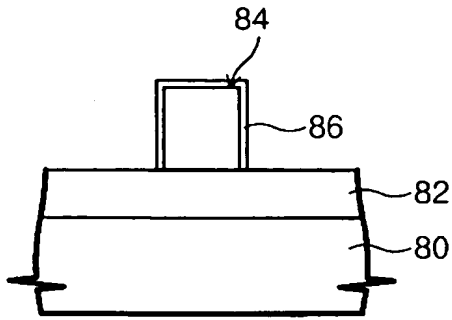
【도 9a】



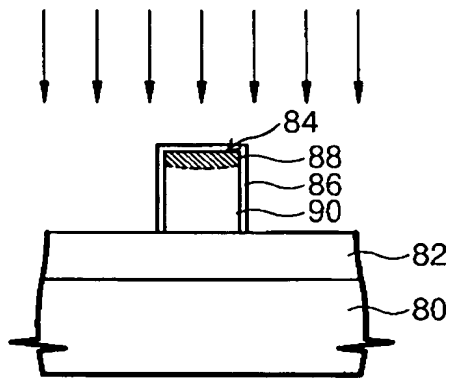
【도 9b】



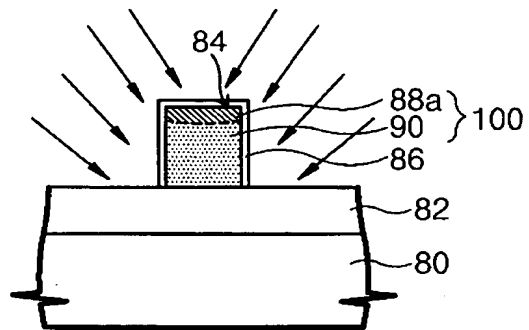
【도 10】



【도 11】



【도 12】



【도 13】

